

JSNM

新金属協会規格

JSNM-SI-003

シリコン・エピタキシャル層の蒸着金属ショットキー
接合のキャパシタンス-電圧測定による
抵抗率測定方法

**Test method for determining resistivity of silicon epitaxial layer by using
evaporated metal Schottky diode capacitance-voltage measurements**

2024年2月制定

作成

エピ抵抗率評価法WG

(エピ抵抗率評価法規格作成委員会)

半導体サプライチェーン材料規格研究会

(シリコン部会標準化推進委員会)

発行

一般社団法人 新金属協会

目 次

目次	(i)
本体	
1 背景	1
2 適用範囲	1
3 引用規格	1
4 制限事項	2
5 測定原理	2
6 試料	3
7 測定方法	5
8 報告データ	6
9 精度と信頼性	6

JSNM-SI-003 委員構成表

新金属協会規格

シリコン・エピタキシャル層の蒸着金属ショットキー接合の
キャパシタンス-電圧測定による抵抗率測定方法

Test method for determining resistivity of silicon epitaxial layer by using evaporated metal Schottky diode capacitance-voltage measurements

1 背景

シリコン・エピタキシャル層（以後、エピタキシャルをエピという。）の抵抗率は半導体デバイス設計の必須パラメータであり、半導体デバイス製造工程におけるエピ成長の抵抗率作製精度は設計のマージンを通してデバイス自体の性能を決定する。エピ層抵抗率の制御性向上のためには成長したエピ層の抵抗率を正確に測定し、次の成長条件にフィードバックをかける。エピ層が成長された状態で取引されるエピウェーハの場合には抵抗率はウェーハ製品の受け入れ時に要求される重要な検査項目である。

現在、半導体の抵抗率の測定方法として水銀をショットキー電極用金属として用いた抵抗率の測定法が SEMI 規格に制定されているが、水銀の接触面積の決定が困難であり、また水銀の製造プロセスにおける使用が水銀に関する水俣条約（Minamata Convention on Mercury, Sept. 2019）により制限される動向にあり、水銀を使用しない抵抗率の測定法の規格化が求められている。

2 適用範囲

2.1 本規格は、シリコン鏡面ウェーハ基板上に深さ方向に均一にドーピングされたエピウェーハのエピ層の抵抗率を試料上に金属の蒸着により作製したショットキー接合キャパシタンスの逆方向印加電圧依存性を利用した Capacitance-Voltage 法（以下 C-V 法と称す。）により測定する方法を規定する。

2.2 本規格は導電型 n 型のエピ層の場合は $0.08 \Omega\text{cm}$ 以上、導電型 p 型のエピ層の場合は $0.5 \Omega\text{cm}$ 以上の抵抗率の測定に適用される。

2.3 本規格による試験方法は、材料研究、生産管理、品質保証、および材料承認に用いることができる。

3 引用規格

次に掲げる規格は、本規格に引用されることによって、本規格の規定の一部を構成する。

3.1 SEMI 規格

- a) SEMI MF42 : Test Method for Conductivity Type of Extrinsic Semiconducting Materials
- b) SEMI MF43 : Test Method for Resistivity of Semiconductor Materials
- c) SEMI MF723-0307E : Practice for Conversion Between Resistivity and Dopant or Carrier Density for Boron-Doped, Phosphorous-Doped, and Arsenic-Doped Silicon
- d) SEMI MF1392 : Standard Test Method for Determining Net Carrier Density Profiles in Silicon Wafers by Capacitance-Voltage Measurements with a Mercury Probe

- e) SEMI MF1527-1018: Guide for Application of Certified Reference Materials and Reference Wafers for Calibration and Control of Instruments for Measuring Resistivity of Silicon

3.2 ISO 規格

- a) ISO14644-1 : Cleanrooms and Associated controlled environments Part1:Classification of Air cleanliness by particle concentration

3.3 日本産業規格(JIS)

- a) JIS H 0602-1995 : シリコン単結晶およびシリコンウェーハの4探針法による抵抗率測定法

4 制限事項

4.1 破壊検査であることによる制限

本測定は破壊検査である。そのため、本規格をエピウェーハの取引に採用する場合には、本規格により条件出しをされた装置で成長したエピウェーハに関する保証となる。測定試料を取得するテストウェーハ成長と製品ウェーハ成長の手順は、製造者・購買者の合意により決定される。

4.2 測定原理による制限

4.2.1 本測定は半導体ショットキー接合の一次元空乏層近似に基づいている。そのため、試料の形状は、ショットキー電極の面積に比例するキャパシタンスが、その外周エッジ部分に起因するキャパシタンスに対して十分に大きいことが必要である。また、エピ層の厚さがショットキー障壁によりゼロバイアス時に形成される空乏層の厚さより大きく、空乏層の先端が基板とエピ層の界面に到達していないことが必要である。

4.2.2 本測定は半導体ショットキー接合の一次元空乏層近似に基づいており、ショットキー電極の面積に比例するキャパシタンスより空間電荷密度を算出する。ショットキー電極の周辺に起因するキャパシタンスはエラーに寄与するため、試料の形状は、ショットキー電極の面積に比例するキャパシタンスが、その外周エッジ部分に起因するキャパシタンスに対して十分に大きいことが必要である。しかしショットキー電極の面積を大きくし過ぎるとすると、結晶表面の欠陥をショットキー電極が拾いショットキー特性が劣化する可能性がある。

4.2.3 エピ層の厚さがショットキー障壁によりゼロバイアス時に形成される空乏層の厚さより大きく、空乏層の先端が基板とエピ層の界面に到達していないことが必要である。

5 測定原理

本規格ではショットキー接合を用いたC-V法によりエピ層の抵抗率を測定する。図1に測定系の構成図を示す。半導体のショットキー電極に逆方向バイアス電圧 V を印加した際のショットキー接合容量を C 、接合から測った深さ d におけるキャリア密度 $n(d)$ とすると、下記の関係式が成り立つ。

$$n(d) = \frac{2}{q\epsilon_0\epsilon_s A^2} \cdot \frac{dV}{d(C^{-2})} \dots\dots\dots (1)$$

$$d = \frac{\epsilon_0\epsilon_s A}{C} \dots\dots\dots (2)$$

ここで、

A : 電極面積、q : 素電荷、 ϵ_0 : 真空の誘電率、
 ϵ_s : 半導体の比誘電率

である。以上より、Vにおける測定値 C を用いて、キャリア密度の深さ方向分布 n(d) を求める。

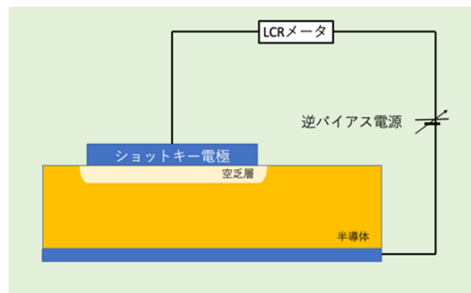


図1 C-V測定系の構成

6 試料

6.1 測定試料の作成位置

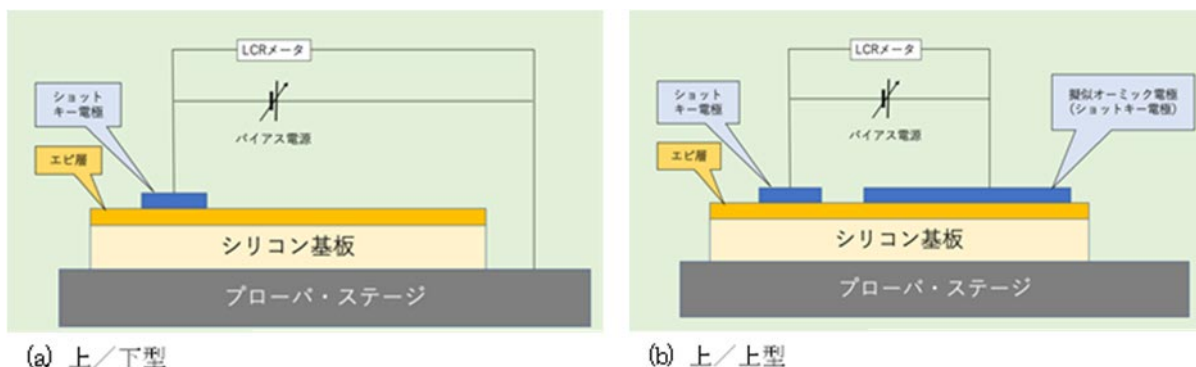


図2 プロブと電極の接触方式

対象とするエピウェーハあるいはエピウェーハから切り出したチップ上に測定試料を作製する。一つの試料上に複数のショットキー素子を作製することにより、測定した素子で正常な特性が得られなかった場合の代替素子を準備しておくことが推奨される。ショットキー電極の作製位置（試料のサンプリング位置）はエピ成長に用いるエピ成長装置の特性に応じて、代表的な抵抗率が得られる部位を製造者と購買者の合意により選択する。

6.2 試料の構造

試料の構造としてはショットキー素子のオーミック接合を擬似オーミック接合として試料の基板裏面（下）から取るかエピ層上（上）から取るかの二通りの構造から選択する。

a) 上/下型構造 エピ層上にショットキー接合、裏面よりオーミック接合をとる構造。図2(a)参照。

ショットキー電極はエピ層に作製し、オーミック電極はウェーハ基板裏面とプローバの試料台金属との機械的接触を擬似的にオーミック接合と考える構造。基板とエピ層が同じ導電型で、裏面に酸化膜等ないことが必要である。プローバ試料台と裏面との機械的接触によるショットキー電極は、面積が大きく測定時には順方向にバイアスされるため、擬似的にオーミック接合と考えることができることを用いた構造。

b) 上／上型構造 エピ層上にショットキー電極とオーミック電極をとる構造。図2(b)参照。

ショットキー電極およびオーミック電極をウェーハ上に成長したエピ層から取る方式。高抵抗基板上のエピ層あるいは基板とエピ層の導電型が異なる場合には必須であるが、基板とエピ層が同じ導電型の場合にも採用可能である。エピ層上へのオーミック電極の作製方法としては、測定用のショットキー電極と同時に十分に大きなショットキー電極を作製して、擬似的にオーミック接合と考えることができることを用いた構造。

6.3 ショットキー電極用金属蒸着前処理

ショットキー接合はショットキー電極とエピ層の間に欠陥、汚れ、酸化膜等が存在すると理想的なショットキー特性から外れてしまう。本測定においてはショットキー電極が良好に作製されていることが重要である。そのために測定試料はエピ成長直後できるだけ速やかにショットキー金属の真空蒸着工程に進める。その間の大気曝露時間は3時間以内が推奨される。エピ成長後長時間大気暴露され、ケース等に保管された場合には試料表面の自然酸化膜形成、有機物等汚染が生じる可能性がある。このような場合には、ショットキー電極の作製直前に試料表面の汚染・異物・自然酸化膜等を除去した後に電極の真空蒸着を行う。

試料の表面処理を行う場合には、清浄度クラス5 (ISO 14644-1) 以下のクリーンルームで行うことが推奨される。使用する薬品は半導体グレードとする。

6.4 ショットキー電極の作製

ショットキー電極は、ステンシルマスクを用いたショットキー電極用金属の抵抗加熱による真空蒸着により行う。ショットキー電極用の金属材料としては、例えばn型シリコンエピ層に対してはAu、p型シリコンエピ層に対してはSb、Alを用いることができる。蒸着金属としてはエピ層の汚染を避けるために高純度の材料 (Au : 3N、Al : 5N以上) を使用する。

ショットキー電極の大きさは、ステンシルマスクの開口部の大きさにより決まる。具体的には円形電極の場合、ステンシルマスクの設計穴径としては直径2 mm～4 mm程度が推奨される。

ステンシルマスクによる電極形成を行う場合には、ステンシルマスクの開口部のエッジ部分に生じる蒸着影の影響が少なく、蒸着領域の面積Aがステンシルマスクの設計穴面積からの誤差が少なくなる様に蒸着されていることが必要である。このためには以下の方法がある。図3参照。

- 蒸着時の蒸着金属のフラックスをマスクに対して垂直にする。
- マスク上への金属蒸着等による形状変化をマスクメンテナンスで抑える。
- ステンシルマスクを薄くする。
- 蒸着源を小さくする。
- 蒸着膜厚を厚くする。

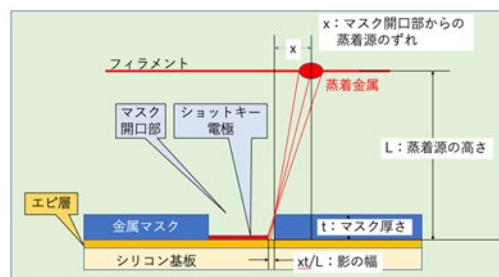


図3 蒸着マスクによる影の発生

試料を真空蒸着装置に装填後、装置内を排気して蒸着を行う。蒸着時の真空度は 10^3 Pa以下が推奨され

る。蒸着膜厚はプローブ針が接触時に蒸着金属膜を貫通しない厚さが必要である。ショットキー電極作製後は金属不純物の拡散、蒸着金属とシリコンのシリサイド化を避けるために熱処理を避ける。

7 測定方法

C-V測定を行う際に、データ収集、解析を手動で行う場合の手順を示す。データ収集が自動測定装置によって行われる場合には、そのデータ取得方法がここに記載する測定方法と同等なものであるかを、測定装置製造者およびソフトウェア作成者に確認する。

7.1 測定環境

測定環境は以下が推奨される。

- a) 温度 $24\text{ }^{\circ}\text{C}\pm 3\text{ }^{\circ}\text{C}$ 、湿度 30%～80%
- b) 試料ステージの照度は遮光されているか、照度 500 lx 以下。

7.2 装置校正

測定装置の校正は測定前に装置の取扱説明書に基づき行う。定期校正等により測定装置の再現性が保証されている場合にはこの限りではない。

7.3 C-V 測定条件

- a) エピウェーハの成長履歴より、基板とエピ層の導電型、抵抗率の目安を調査する。測定試料の概算抵抗率より、C-V 測定時の逆バイアス電圧の印加電圧範囲を決定する。この電圧範囲の決定には SEMI MF1392 の Figure 1 を参考とすることが出来る。
- b) キャパシタンス測定用重畳交流は 800 kHz～1.0 MHz とする。

7.4 測定回路

測定は四端子測定等により、ケーブル等による電圧降下の影響を受けない回路で測定する。測定系の接地の取り方は測定データの雑音に大きく影響するので、測定装置の取扱説明書を参照して安定した接地を取ることが推奨される。試料ステージは接地されている可能性が高いので、測定試料、標準試料が上/下構造の時は注意を要する。

7.5 C-V 測定手順

- a) LCR メータをプローバに接続し、装置メーカーの取扱説明書に従い、LCR メータの調整をする。また解析に必要な浮遊容量等に関するデータ収集を行う。この操作は測定系の構成を変更していない場合には前回の値を用いることができる。
- b) 測定試料をプローバのステージにセットしショットキー電極、オーミック電極の接触を取る。
- c) キャパシタンス C の逆方向印加電圧 V 依存性を、逆方向印加電圧をステップ電圧 δV で変えながら測定する。測定値はキャパシタンス C_i と電圧 V_i の対 (C_i, V_i) として記録する。ここに添字 i は i 番目の測定値であることを示す。この際、逆方向印加電圧がショットキー接合の逆方向耐圧電圧を超えるとリーク電流が増え、発熱でショットキー接合が不安定となり最終的には破壊する。この様な場合には測定するショ

ットキー素子を予備のものに交換して再測定する。

- d) 必要な深さでの抵抗率が解析出来るように、5組程度以上キャパシタンス C_i と電圧 V_i の対 (C_i, V_i) を測定する。ただし、破壊電圧が低いため測定点数が少ない場合にはこの限りではない。
- e) 測定が完了したら、印加電圧を 0 volt に戻し、プローブを電極から外す。その後試料を試料ステージから外す。

7.6 測定試料の電極面積の測定

測定試料のショットキー電極の面積 A を測定する。

7.7 キャリア密度の算出

- a) 式(1)、式(2)に基づき、キャリア密度の深さ方向依存性 $n(d)$ を求める。
- b) 測定が室温領域で外因性半導体の飽和領域なので、計算されたキャリア密度 $n(d)$ は測定温度に関わらず 23 °C における値と等しい。この値を SEMI MF723 (23 °C において定義) を用いて 23 °C における抵抗率 ρ に換算する。

8 報告データ

報告データは作成者と購買者の合意で決定されるが、以下の項目が含まれることが好ましい。

23 °C 以外での抵抗率が要求されている場合には、JIS H 0602-1995 の付表 3 もしくは SEMI MF1527-1018 Related Information 2 の温度変化率を用いて変換し、その旨を記載する。

- a) 測定日付
- b) 測定試料番号
- c) 測定試料の仕様： 成長仕様(基板仕様、不純物、抵抗率、厚さ)
- d) 測定試料の構造： “上/上” 構造もしくは “上/下” 構造
- e) ショットキー電極の構造： 材料、形状、厚さ、面積 (仕様値/測定値)
- f) 擬似オーミック電極の構造： 設計面積
- g) ショットキー特性(測定試料)： 複素インピーダンス (印加電圧 0 volt) 、 IV 特性他
- h) 測定データ：
 - 1) 最大逆バイアス電圧
 - 2) 逆バイアスステップ電圧
 - 3) i 番目データ、 $i=1\sim N$ (N は測定回数)
- i) キャパシタンス測定用重畳交流： 電圧/周波数
- j) 測定雰囲気： 温度/湿度/照度
- k) 測定結果： キャリア密度/抵抗率、深さ
- l) 提供結晶の作製手順： 評価試料の作製後のバッチ数、他
- m) その他： 測定方法に関する本規格からの差異

9 精度と信頼性

9.1 この規格で規定する方法における測定機関間のばらつきを、一斉配付型機関間試験(インターラボテス

ト)の結果をもとに以下に示す。このばらつきは、n型では0.08 Ω·cm～110 Ω·cm、p型では0.5 Ω·cm～120 Ω·cmの範囲で測定された結果より求められた相対標準偏差（RSD：ここではRSD=(各レンジの標準偏差)/(各レンジの平均値)×100）として記載する。なお、ここで用いられるRSDは、各機関の値の平均値からの偏差を機関数で除した標準偏差を用いている。比較された機関数は、それぞれn型では4機関、p型では3機関である。

9.1.1 n型試料におけるインターラボテストの結果及び測定機関間のRSDを図4および表1に示す。これより、0.08 Ω·cm～110 Ω·cmのレンジにおけるRSDが1.0%～3.6%と良好であった。

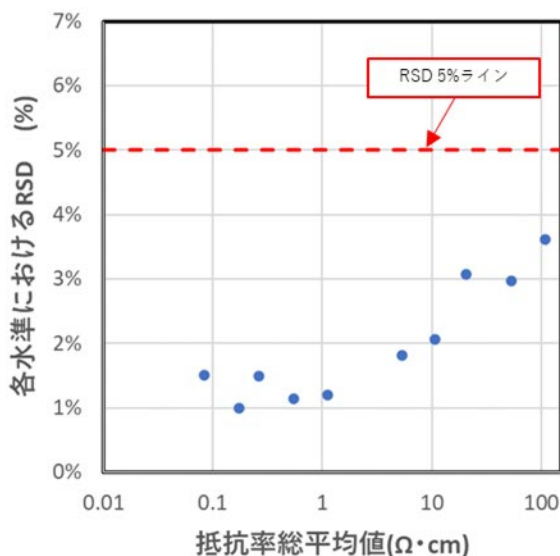


図4 抵抗率レンジに対するRSD(%)値(n型)

表1 一斉配付型機関間試験(インターラボテスト)の結果および機関間のRSD (n型)

抵抗率レンジ(Ω·cm)	0.08	0.2	0.3	0.5	1	5	10	20	50	110
A社	0.0840	0.175	0.268	0.554	1.13	5.54	11.0	21.4	55.5	113
B社	0.0860	0.172	0.263	0.551	1.10	5.33	10.7	20.3	53.0	108
C社	0.0833	0.175	0.262	0.543	1.11	5.28	10.5	19.9	51.1	102
D社	0.0826	0.171	0.257	0.538	1.10	5.34	10.6	-	52.9	107
平均値	0.0840	0.173	0.263	0.547	1.11	5.37	10.7	20.5	53.1	108
標準偏差	0.00126	0.00172	0.00393	0.00625	0.0133	0.0974	0.220	0.631	1.58	3.90
相対標準偏差RSD(%)	1.5%	1.0%	1.5%	1.1%	1.2%	1.8%	2.1%	3.1%	3.0%	3.6%

Note1: 表1中のD社の20 Ω·cm帯のデータが欠落しているのは、インターラボテストにおける試料数の制限によるものである。

9.1.2 同様に、p型試料におけるインターラボテストの結果及び測定機関間のRSDを図5および表2に示

す。n型と同じように、 $0.5 \Omega \cdot \text{cm} \sim 120 \Omega \cdot \text{cm}$ のレンジにおいてRSDが1.8%~3.2%と良好であった。

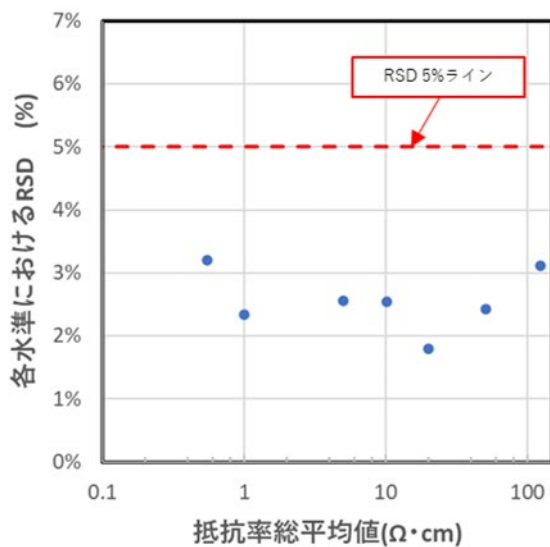


図5 抵抗率レンジに対するRSD(%)値(p型)

表2 一斉配付型機関間試験(インターラボテスト)の結果および機関間のRSD (p型)

抵抗率レンジ($\Omega \cdot \text{cm}$)	0.5	1	5	10	20	50	120
A社	0.570	1.03	5.18	10.4	20.6	52.8	129
B社	0.527	0.974	4.87	9.79	19.7	49.8	121
C社	0.550	1.01	4.98	10.1	20.0	50.8	121
平均値	0.549	1.00	5.01	10.1	20.1	51.1	123
標準偏差	0.0176	0.0235	0.128	0.256	0.363	1.24	3.84
相対標準偏差RSD(%)	3.2%	2.3%	2.6%	2.5%	1.8%	2.4%	3.1%

9.2 本結果より、この規格に準じた場合、n型及びp型ともに機関間ばらつき(RSD)が5%以下で運用可能であることが示された。

JSNM-SI-003 委員構成表**エピ抵抗率評価法 WG (エピ抵抗率評価法規格作成委員会 兼)**

幹事	岩永 和久	(株)SUMCO
委員	竹田 隆二	グローバルウェーハズ・ジャパン(株)
同	寺田 敏行	シルトロニック・ジャパン(株)
同	樋口 晋	信越半導体(株)
同	佐藤 慎哉	東芝デバイス&ストレージ(株)
同	田島 道夫	JAXA 宇宙科学研究所 名誉教授
同	河合 直行	(元)東京大学
事務局	近藤 敏	(一社)新金属協会 専務理事
同	石垣 宏毅	(一社)新金属協会 事務局長
同	斎藤 滋晃	(一社)新金属協会 シニアアドバイザー

半導体サプライチェーン材料規格研究会 M4S (シリコン部会標準化推進委員会 兼)

委員長	平本 俊郎	東京大学 生産技術研究所 教授
副委員長	山部 紀久夫	筑波大学 数理物理系 特命教授
技術顧問	田島 道夫	JAXA 宇宙科学研究所 名誉教授
幹事	河合 直行	(元)東京大学
同	藤森 洋行	グローバルウェーハズ・ジャパン(株)
同	下山 学	(株)SUMCO
同	樋口 晋	信越半導体(株)
同	山崎 智幸	富士電機(株)
委員	西澤 伸一	九州大学 応用力学研究所 教授
同	岩永 和久	(株)SUMCO
同	寺田 敏行	シルトロニック・ジャパン(株)
同	浅野 卓也	(株)トクヤマ
同	立野 昇	高純度シリコン(株)
同	河村 圭子	東芝デバイス&ストレージ(株)
事務局	近藤 敏	(一社)新金属協会 専務理事
同	石垣 宏毅	(一社)新金属協会 事務局長
同	斎藤 滋晃	(一社)新金属協会 シニアアドバイザー

(一社)新金属協会が発行している規格類は、工業所有権（特許，実用新案など）に関する抵触の有無に関係なく制定されています。
(一社)新金属協会は、この規格類の内容に関する工業所有権に対して、一切の責任を負いません。

JSNM-SI-003
2024年2月発行

発行 一般社団法人新金属協会
〒105-0011
東京都港区芝公園 1-1-12 芝公園電気ビル 3F
TEL03-5405-2080 FAX 03-5405-2081
<http://www.jsnm.or.jp>
印刷 ヨシミ工業株式会社

〔 この規格類の全部又は一部を転載しようとする場合は、発行者の許可を得てください。 〕